

## LSI TEST PATTERN GENERATING PART

Patent Number: JP57116269  
 Publication date: 1982-07-20  
 Inventor(s): IZAWA KIYOSATO  
 Applicant(s):: TOKYO SHIBAURA DENKI KK  
 Requested Patent: ☐ JP57116269  
 Application Number: JP19810002976 19810112  
 Priority Number(s):  
 IPC Classification: G01R31/28  
 EC Classification:  
 Equivalents: JP2115007C, JP5030225B

### Abstract

**PURPOSE:** To reduce the work load of the preparation of an algorithmic test pattern, and to shorten the test time by providing a constitution wherein an ordinary random pattern generator and an operating means for preparing the data of the test pattern which performs the algorithmic operation are appropriately switched.

**CONSTITUTION:** In addition to the ordinary random test pattern generator 11, the operating means 20 for preparing the data for the test pattern which performs the algorithmic operation is provided. Information from said pattern generator 11 and the operating means 20 is switched by a multiplexer 19, and guided to resistors 16 and 17 in the next stage. In this constitution, the work load for programming the algorithmic test pattern is reduced, and the tests, which have required test patterns of large capacity in the conventional method, can be performed by the extremely few patterns. Therefore the pattern transfer time during the execution of the test can be reduced, and the test time can be reduced to the large extent.

\_\_\_\_\_

Data supplied from the esp@cenet database - I2

⑬ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭57—116269

⑤ Int. Cl.<sup>3</sup>  
G 01 R 31/28

識別記号

庁内整理番号  
7807—2G

⑬ 公開 昭和57年(1982) 7月20日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑭ LSI 試験パターン発生器

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

① 特 願 昭56—2976

⑦ 出 願 人 東京芝浦電気株式会社

② 出 願 昭56(1981) 1月12日

川崎市幸区堀川町72番地

③ 発 明 者 伊沢清吏

⑧ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

LSI 試験パターン発生器

2. 特許請求の範囲

LSI デバイスの良、不良のチェックをする

LSI 試験装置に備えられ、LSI デバイスに印加するテストパターンを発生する LSI 試験パターン発生器において、命令およびテストパターンを記憶するメモリ手段およびこのメモリ手段のアドレスを管理するプログラムカウンタ制御部および上記メモリ手段から読み出された命令を実行する手段および上記メモリ手段から読み出されたテストパターンあるいは LSI デバイスの入出力修飾情報を格納するレジスタ手段を有しランダムなテストパターンを発生するランダムパターン発生手段と、演算回路およびこの演算回路の機能を指定する演算機能指定手段およびこの演算回路に与える初期値データあるいは変化値データを格納するレジスタ手段を有し上記演算回路にてアルゴリズム的なテストパター

ンを作成するアルゴリズムックパターン発生手段と、これらランダムパターン発生手段とアルゴリズムックパターン発生手段とを自動的に切換える手段とを具備したことを特徴とする LSI 試験パターン発生器。

3. 発明の詳細な説明

本発明は LSI (大規模集積回路) 試験装置に設けられる LSI 試験パターン発生器に関する。

一般に、LSI 試験パターン発生器は LSI デバイスの良、不良のチェックをする LSI 試験装置に備えられ、LSI デバイスのための各種テストパターンを発生する。このような LSI 試験パターン発生器の従来例を第 1 図に示す。この試験パターン発生器 1 は、高速で動作するインストラクションメモリ 2 およびテストパターンメモリ 3、これらメモリ 2、3 のアドレスを管理するプログラムカウンタ制御部 4、上記インストラクションメモリ 2 に格納されている命令を解釈実行するインストラクション実行回路 5、上記テストパターンメモリ 3 からのテストパター

ン情報あるいは試験装置の制御部からの制御情報を切換えて導出するマルチプレクサ6、このマルチプレクサ6を介したテストパターン情報を格納するテストパターンレジスタ7、入力ピンのフォーマットやI/Oピンの切換え、さらに出力ピンのcare/don't careの切換え等の制御情報を格納する入出力修飾レジスタ8とを有している。このテストパターンレジスタ7および入出力修飾レジスタ8の情報は、テストパターンのフォーマットを形成するフォーマット形成回路9に送出される。

テスト開始に先立って、インストラクションメモリ2およびテストパターンメモリ3にはそれぞれインストラクションおよびテストパターン情報が転送格納されており、またプログラムカウンタ制御部4には試験装置制御部よりインストラクションメモリ2およびテストパターンメモリ3のスタートアドレス、エンドアドレスがセットされている。テストの開始でプログラムカウンタ制御部4よりメモリ2, 3をアクセ

8の内容は試験装置側のフォーマット形成回路9に転送され、ここで形成されたフォーマットに従うテストパターンがドライバを介して被測定デバイスに与えられるとともにコンパレータを経由して被測定デバイスの出力をフォーマット形成回路へとり込まれる。試験装置側では、コンパレータにて上記被測定デバイス出力とテストパターンデータとを比較し、パス、フェイル等の判断を行なって被測定デバイスの良、不良のチェックを行なうようにしたり、フェイル情報を蓄積してデバイスの試験結果の解析を行なうようにしたりしている。

上述したような従来の試験パターン発生器において、ランダムな試験パターンを必要とする被測定デバイスのテストに関しては、予じめインストラクションメモリ2およびテストパターンメモリ3に、被測定デバイスに払い出すデータや被測定デバイスの期待値パターンさらにテストの繰り返しやジャンプ命令等のインストラクションを格納しておき、そのパターンに従っ

スするためのアドレスがメモリ2, 3に与えられる。これによって、インストラクションメモリ2からの内容がインストラクション実行回路5に読み出される。ここで、読み出した命令の解釈を行った結果、テストパターンメモリ3の内容がマルチプレクサ6を介してテストパターンレジスタ7あるいは入出力修飾レジスタ8に転送される。この転送されたメモリ3のデータはインストラクション実行回路5からのセットパルスにて各レジスタ7, 8にセットされる。

また、インストラクションメモリ2にジャンプ命令やサブルーチン命令がある場合には、インストラクション実行回路5はプログラムカウンタ制御部4に次の実行アドレスをセットする。インストラクションメモリ2にジャンプ命令やサブルーチン命令が無い場合には、プログラムカウンタ制御部は現在のアドレスを「+1」して前述同様の動作を実行し、予じめセットされていたエンドアドレスまで繰り返す。テストパターンレジスタ7あるいは入出力修飾レジスタ

でテストを実行している。しかしながら、最近の被測定デバイスに関してはCPU, RAM, ROM等が一体化されたLSIデバイスも多くなり、その試験に困難をきわめている。

このような被測定デバイスをテストするためには、被測定デバイス内のメモリのアドレスやデータ等、ある種のアルゴリズムにのっとったデータであるにもかかわらず、他のランダムデータと同様にアドレス等の変化の順序に従ってすべてのデータをプログラムする必要があった。そのため、発生するテストパターンの量およびテストパターン作成のための仕事量は膨大なものとなるばかりでなく、パターンデータの転送時間、ひいてはテスト時間が長くなるという不都合があった。

本発明は上記の事情に鑑みてなされたもので、通常のランダムパターン発生手段の他にアルゴリズム的な動作をするテストパターンのデータを作成する演算手段を設け、これら両手段を適宜切換える構成とすることによって、アルゴ

リズミツクなテストパターン作成の努力（プログラミング）を少なくし、極めて少数のパターンで従来の大容量テストパターンを必要としていたテストを可能とし、テスト実行中のパターン転送時間を著しく減少し得、テスト時間を大幅に短縮してLSI試験装置の試験効率を高め得るLSI試験パターン発生器を提供することを目的とする。

以下、図面を参照して本発明の一実施例を詳細に説明する。第2図は本発明のテストパターン発生器を示しており、通常のランダムパターンを発生する回路手段は前述と略同様に構成されている。すなわち、ランダムパターン発生器11は高速で動作し、命令を格納するインストラクションメモリ12およびテストパターンを格納するテストパターンメモリ13と、これらメモリ12、13のアドレスを管理するプログラムカウンタ制御部14、上記インストラクションメモリ12から読み出した命令を解釈実行するインストラクション実行回路15、上記テ

ストパターンメモリ13からのパターンデータを格納するテストパターンレジスタ16、入力ピンのフォーマットI/Oピンの切換え、さらに出力ピンのcare/don't careの切換え等の入出力修飾情報を格納する入出力修飾レジスタ17、上記インストラクション実行回路15からのセットパルスを送延して上記レジスタ16、17のデータセットに対するタイミングをとるディレイ回路18、LSI試験装置制御部からの情報、テストパターンメモリ13からの情報、および後述するアルゴリズムミツクなパターンデータを作成する演算手段（パターン発生手段）からの情報を切換えて上記レジスタ16、17へ導びくマルチプレクサ19を有している。

一方、アルゴリズムミツクなパターンデータを作成する演算手段（パターン発生手段）20は、「+1」、「-1」、「+N」、「-N」等の複数ビットのアルゴリズムミツクな演算が実行できる演算回路(ALU)21、LSI試験装置制御部から送られてきたファンクションモードを格納し、このファ

ンクションモードに従って上記演算回路21の機能演算を実行させるALUファンクションレジスタ22、LSI試験装置制御部から与えられ、上記演算回路21に与えるデータの変化分を格納するALU変化値レジスタ23、LSI試験装置制御部から与えられ、演算回路21の演算のための初期値を格納する初期値レジスタ24、演算回路21の演算結果を格納し前記マルチプレクサ19へ導くレジスタ25、このレジスタ25からの出力データと上記初期値レジスタ24からの出力データとを切換えて演算回路21へ導くマルチプレクサ26、上記レジスタ25にセットパルスを与えるカウンタ27とを有している。

而して第2図のLSI試験パターン発生器においては、被測定デバイスのテスト開始に先立って、インストラクションメモリ12、テストパターンメモリ13にはそれぞれ命令あるいはテストパターンが転送格納されており、またプログラムカウンタ制御部14には試験装置制御部

より各メモリ12、13に対するスタートアドレス、エンドアドレスがセットされている。また、ALUファンクションレジスタ22、ALU変化値レジスタ23、初期値レジスタ24には試験装置制御部より予じめそれぞれALUファンクションモード、ALU変化分、初期値が設定されている。また、カウンタ27にも試験装置制御部から予じめ所定値がセットされており、これはインストラクションメモリ12から読み出された命令がパターン払い出し命令の時に、その命令がいくつ来た時に演算回路21の演算を行なうかのカウント数を設定している。

試験開始で、プログラムカウンタ制御部14はインストラクションメモリ12およびテストパターンメモリ13のアドレス指定、この場合はスタートアドレスの指定を行なう。アドレス指定されたインストラクションメモリ12から読み出された命令をインストラクション実行回路15で解釈実行する。その結果、テストパターンメモリ13から読み出したパターンデータ

をマルチプレクサ19を介してテストパターンレジスタ16に導いてディレイ回路18を通じたセットパルスによりセットするとともに、マルチプレクサ19を介して入出力修飾情報を入出力修飾レジスタ17に導いてセットパルスによりセットする。またインストラクション実行回路15は、読み出された命令がジャンプ命令やサブルーチン命令の場合には、プログラムカウンタ制御部14に次の実行アドレスをセットし、そうでない場合には、プログラムカウンタ制御部14のアドレスを歩進させ、予じめセットされているエンドアドレスまで繰り返す。このようにして一連のランダムなテストパターンを発生する。

上記両レジスタ16, 17にセットされたテストパターンデータ、入出力修飾情報は試験装置側のフォーマット形成回路28に転送され、ここで形成されたフォーマットに従うテストパターンデータがドライバを介して被測定デバイスに与えられるとともにコンパレータを経由し

させることにより行う。

なお、予じめテストパターンメモリ13の内容および演算手段20の使用、非使用のレジスタセット命令をインストラクションメモリ12にプログラムしておいて、テスト実行中に演算手段使用モードに切り換えるようにしてもよい。

前記初期値レジスタ24にセットされた初期値はマルチプレクサ26を介して演算回路21の演算のオペランドとなる。この初期値出力後、マルチプレクサ26は演算回路21の演算結果を格納するレジスタ25出力をオペランドとして演算回路21に導く。従って、演算回路21はALUファンクションレジスタ23にセットされた演算機能モードに従いマルチレジスタ26の出力データおよびALU変化値レジスタ23の出力データの演算処理を行う。この演算回路21の演算結果は、カウンタ27が設定されたカウント値をカウントした時レジスタ25にセットされる。このレジスタ25にセットされたパターンデータはマルチプレクサ19を介して

被測定デバイスの出力をフォーマット形成回路へとり込まれる。試験装置側では、コンパレータにて上記デバイス出力とテストパターンデータとを比較し、パス、フェイル等の判断を行なって被測定デバイスの良、不良のチェックを行なうようにしたり、フェイル情報を蓄積してデバイス試験結果の解析を行なったりしている。

一方、演算手段(パターン発生手段)20による演算結果をアルゴリズム的なテストパターンとして払い出すためには、前述したようにテスト開始以前にレジスタ22, 23, 24およびカウンタ27に試験装置制御部より予じめ所定の情報をそれぞれセットしておく。また、マルチプレクサ19の出力として演算回路21の出力を払い出すためには、入出力修飾レジスタ17からの切換え信号によってマルチプレクサ19が演算手段20の出力を選択するように切換える。この切換えは、テスト開始以前に試験装置制御部からマルチプレクサ19を介してレジスタ17に所定の入出力修飾データを格納

両レジスタ16, 17に転送され、アルゴリズム的なパターンデータとして払い出され、前述同様に被測定デバイスの試験に用いられる。つまり、インストラクションメモリ12から読み出した命令がパターン払い出し命令の時に、通常はテストパターンメモリ13からのランダムパターンを払い出しているが、テスト実行中に演算手段20の使用命令がきた場合には、カウンタ27が所定回数計数する毎に自動的に演算手段20からのアルゴリズム的なテストパターンを払い出すようにして、被測定デバイスに対する試験を行なわせるものである。

次に、上記試験パターン発生器によるテストパターンと従来の第1図の試験パターン発生器によるテストパターンの違いを第3図(a), (b)に示すインストラクションおよびテストパターンデータを参考にして説明する。今、例えばLSIに内蔵されたメモリ部分のテストを行なうために、最初、チップエネーブル(CE)信号とアドレスとを与え、次にライトエネーブル(WB)信

号およびライトデータを与えるような被測定デバイスを選び、上記信号(CB)がLSIの第1ピン、信号(WR)がLSIの第2ピン、アドレスがLSIの第3～第10ピン、データがLSIの第11～第18ピンに与えられるとする。また、命令は実際はコード化された“1”および“0”であるが、ここでは説明をわかりやすくするためにテストパターン払い出し命令を“SET F”と書き、入出力修飾レジスタ17にデータを払い出した場合には、“L SET +レジスタ名”を書くものとする。このように仮定すれば、第1図のパターン発生器では第3図(a)に示すようなプログラムテストパターンを必要とする。この場合、テストパターンの偶数アドレスでパターン発生器は被測定デバイスにメモリアドレスを与え、奇数アドレスでライトデータを与えている。従って、第3図(a)に示すように被測定デバイスのメモリが255番地までであるとすると、テストパターンは $256 \times 2 = 512$ ステップ必要となる。この場合、被測定デバイスのアド

レスは“0”番地から始まり、順次“+1”ずつ歩進して“255”番地まで進むという簡単なシーケンスなので、テストパターンは512ステップでよいが、このシーケンスが複雑になればなる程、テストパターンは長くなる。

ところが本パターン発生器では、第3図(a)のテストパターンと同等の動作をするためのテストパターンは第3図(b)で表わすことができる。ここで、“L SET ALU”という命令は入出力修飾レジスタ17のうち、演算手段20の出力をデータとして使用するか否かを指令する命令で、“1”とプログラムした部分が演算手段20の出力を使用する。この場合、アドレスに相当するLSIの第3～第10ピンが演算手段20の出力を使用することになる。また、“L CALL - WRITE”という命令は、従来の第1図のパターン発生器にも備った機能であるが、“L SUBR - WRIT”で示される番地へプログラムカウンタを移し、“L END”に達するまでそのループを指定された回数、この場合128回実行せよと

いう命令である。図中、“××××××××”のアドレスで示される部分のパターンデータは演算手段20から出力されるデータを用いるので“0”でも“1”でもどちらでも良い。ただし、第3図(b)のテストパターンを実行させる場合、試験開始以前に初期値レジスタ24には“0”を、ALU変化値レジスタ23には“1”を、ALUファンクションレジスタ22には“+”を、カウンタ27には“2”の値をそれぞれセットしておく必要がある。

第3図(a),(b)を比較すれば理解できるように本試験パターン発生器に使用するテストパターンプログラムは従来のテストパターンプログラムに比べて非常にステップ数が少なく、簡単なプログラムとなる。従って、プログラム作成が容易であるばかりでなく、テストパターンデータの転送時間を短かくできるのでデバイス試験のテスト時間を短かくし得、試験装置の試験効率を高めることができる。このような効果は、被測定デバイスに内蔵されるメモリが増大すれ

ばする程大きなものとなる。

以上説明したように本発明によれば、通常のランダムパターン発生手段の他にアルゴリズムミックスな動作をするテストパターンのデータを作成する演算手段(パターン発生手段)を設け、これら両手段を適宜切換える構成とすることによって、アルゴリズムミックスなテストパターン作成の労力(プログラミング)を少なくし、極めて少数のパターンで従来の大容量テストパターンを必要としていたテストを可能とし、テスト実行中のパターン転送時間を著しく減少し得、テスト時間を大幅に短縮してLSI試験装置の試験効率を高め得るLSI試験パターン発生器を提供できる。

#### 4. 図面の簡単な説明

第1図は従来の試験パターン発生器の回路構成図、第2図は本発明の一実施例である試験パターン発生器の回路構成図、第3図(a),(b)はテストパターンプログラムを示し、第3図(a)は第1図の試験パターン発生器用のテストパターン



第3図

(a)

INSTRUCTION	CE	WR	ADDRESS 0-7	DATA 0-7
SETF	1	0	00000000	00000000
SETF	0	1	00000000	01010101
SETF	1	0	00000001	00000000
SETF	0	1	00000000	10101010
SETF	1	0	00000010	00000000
SETF	0	1	00000000	01010101
SETF	1	0	00000011	00000000
SETF	0	1	00000000	10101010
SETF	1	0	00000100	00000000
SETF	0	1	00000000	01010101
SETF	1	0	00000101	00000000
SETF	0	1	00000000	10101010
SETF	1	0	00000110	00000000
SETF	0	1	00000000	01010101
SETF	1	0	00000111	00000000
SETF	0	1	00000000	10101010
SETF	1	0	11111100	00000000
SETF	0	1	00000000	01010101
SETF	1	0	11111101	00000000
SETF	0	1	00000000	10101010
SETF	1	0	11111110	00000000
SETF	0	1	00000000	01010101
SETF	1	0	11111111	00000000
SETF	0	1	00000000	10101010

(b)

INSTRUCTION	CE	WR	ADDRESS 0-7	DATA 0-7
LCALL-WRIT	0	0	00000000	00000000
LSUBR-WRIT128	0	0	11111111	00000000
LSETALU	1	0	XXXXXX	00000000
SETF	0	0	00000000	00000000
LSETALU	1	0	00000000	01010101
SETF	0	0	11111111	00000000
LSETALU	1	0	XXXXXX	00000000
SETF	0	0	00000000	00000000
LSETACU	1	0	00000000	10101010
SETF	0	0	00000000	00000000
LEND	0	1	00000000	10101010